

Patent Abstracts of Japan

PUBLICATION NUMBER : 05047726
PUBLICATION DATE : 26-02-93

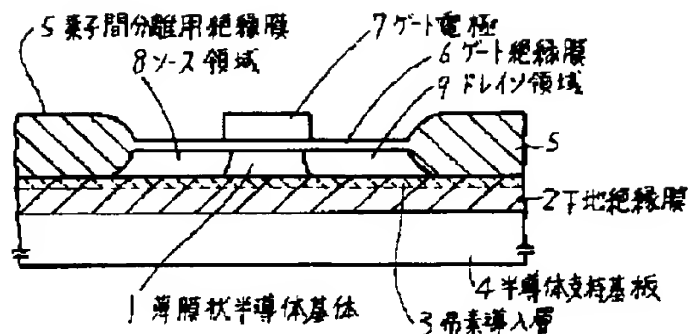
APPLICATION DATE : 20-08-91
APPLICATION NUMBER : 03207736

APPLICANT : FUJITSU LTD;

INVENTOR : KAWAI SHINICHI;

INT.CL. : H01L 21/304 H01L 21/02 H01L 27/12
H01L 29/784

TITLE : MANUFACTURE OF
SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To enhance reliability for a long term by forming a thin film SOI substrate in a structure in which a thin filmlike semiconductor base is adhered to a supporting board through a laid insulating film, and ion implanting fluorine in a region in contact with the base in the film.

CONSTITUTION: A thin filmlike semiconductor base 4 is adhered to a supporting board 1 through a base insulating film 2 to form an SOI substrate, a fluorine introduces layer 3 is previously formed by an ion implantation method in a region in contact with the base 4 in the film 2 before adhering, and the base 4 is adhered to the board 1 through a region having the layer 3 of the film 2 thereby to form the SOI substrate. Thus, storage of charge by hot carrier in a boundary between the insulating film near the base or the base and the insulating film is suppressed, and aging deterioration of a channel current is prevented.

COPYRIGHT: (C) JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-47726

(43) 公開日 平成5年(1993)2月26日

(51) Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/301	3 4 1 C	8831-1M		
21/02	B	8518-1M		
27/12		8728-1M		
29/784		9056-1M		
			H 0 1 L 29/78	3 1 1 F
			審査請求 未請求	請求項の数 3 (全 5 頁)

(21) 出願番号 特願平3-207736

(22) 出願日 平成3年(1991)8月20日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 川合 真一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 井桁 貞

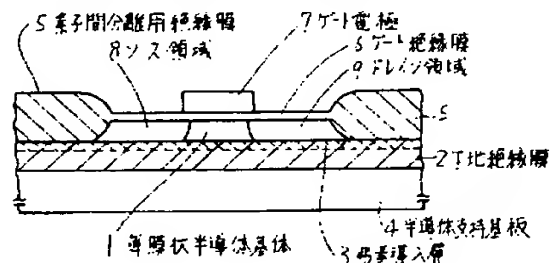
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 S O I 基板を用いた半導体装置の製造方法に関し、S O I 構造のM O S F E T の高速化を図るためにS O I 層の厚さを薄くした際にも、下地絶縁膜及び下地絶縁膜とS O I 層界面へのホットキャリア電荷の蓄積が回避され、チャネル電流の経時的減少が防止されて、長期高信頼化が図れるS O I 基板の提供を目的とする。

【構成】 絶縁物上の薄膜状半導体基体にM I S 型半導体素子を形成する半導体装置の製造方法において、該薄膜状半導体基体となる半導体基板上に第1の絶縁膜を形成する工程、該第1の絶縁膜中に弗素のイオン注入を行う工程、該半導体基板を、該弗素のイオン注入がなされている該第1の絶縁膜を介して支持基板上に貼着する工程、該半導体基板を非貼着面側から所定の厚さまで研磨して該薄膜状半導体基体を形成する工程を含むように構成する。

本発明の原理説明用模式断面図



【特許請求の範囲】

【請求項1】 絶縁物上の薄膜状半導体基体にMIS型半導体素子を形成する半導体装置の製造方法において、該薄膜状半導体基体となる半導体基板上に第1の絶縁膜を形成する工程、

該第1の絶縁膜中に弗素のイオン注入を行う工程、

該半導体基板を、該弗素のイオン注入がなされている該第1の絶縁膜を介して支持基板上に貼着する工程、

該半導体基板を非貼着面側から所定の厚さまで研磨して該薄膜状半導体基体を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項2】 該支持基板の前記半導体基板の貼着面に予め第2の絶縁膜が設けられ、

前記半導体基板と支持基板との貼着が、前記弗素のイオン注入がなされている第1の絶縁膜と該第2の絶縁膜とを介してなされることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記支持基板が半導体基板からなることを特徴とする請求項1若しくは2記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はSOI(Silicon On Insulator)基板を用いた半導体装置の製造方法、特にMIS型半導体素子の形成に適したSOI基板の形成方法に関する。

【0002】 絶縁膜上に形成した薄膜半導体層(薄膜状半導体基体)に作製したSOI構造MOSFETは、素子間分離の完全性、及び素子の高速化が図れるという利点から、今後の高集積回路の構成素子として期待されている。

【0003】 一方、SOI構造MOSFETにおいては、ドレインアバランシェホットキャリアに起因する信頼性低下の問題が通常のMOSFETに比べて顕著であり、上記期待に答えるために改善が望まれている。

【0004】

【従来の技術】 図4は従来技術で形成したSOI構造MOSFETの模式断面図で、図中、51Aは半導体支持基板、51Bは薄膜状半導体基体即ち薄膜SOI層、52は下地絶縁膜、53はフィールド絶縁膜、54は素子領域、55はゲート絶縁膜、56はゲート電極、57はソース領域、58はドレイン領域を示す。

【0005】 このようなSOI構造MOSFETは、多くは、単結晶よりなる半導体基板の内部に酸素をイオン注入し、アニールすることによって薄膜SOI層51Bとなる半導体層を上部に残してその下部の半導体基板内に埋め込まれた酸化膜よりなる下地絶縁膜52を形成し、この下地絶縁膜52によって前記半導体基板を薄膜SOI層51Bと半導体支持基板51Aとに分離してSOI基板を形成し(SIMOX法)、その後このSOI基板の薄膜S

OI層51Bを、周知のLOCOSと呼ばれる選択酸化法により形成した底面が下地絶縁膜52に達するフィールド絶縁膜53により複数の素子領域54に分離し、以後通常のMOSプロセスに従って、素子領域54上にゲート絶縁膜55を形成し、このゲート絶縁膜55上にゲート電極56を形成し、このゲート電極56をマスクにしてイオン注入を行って薄膜SOI層51B内に、ゲート電極56に自己整合し且つ底面が薄膜SOI層51Bの底面に達するソース領域57及びドレイン領域58を形成する方法によって形成されていた。

【0006】 このようにして形成される薄膜SOI構造のMOSFETは、ソース及びドレイン領域57、58の寄生容量が小さく、且つ素子間分離が完全に行なえる等の利点を有する。また、特に薄膜SOI層51Bの膜厚を薄くして行くと、更に、短チャネル効果の抑制、ドレイン飽和電流の増大等の利点も生ずるので、これらの利点から、高速、高集積回路素子として実用化が期待されている。

【0007】 また上記とは別に、半導体基板を、この半導体基板面に形成した絶縁膜を介して半導体支持基板上に貼着し、前記半導体基板を非貼着面側から研磨して薄膜状半導体基体即ち薄膜SOI層)化する方法によりSOI基板を形成し、この薄膜SOI層に前記同様の方法により形成した薄膜SOI構造のMOSFETも提供されており、この場合も前記同様の利点から、高速、高集積回路素子として実用化が期待されている。

【0008】

【発明が解決しようとする課題】 しかし、上記従来の方法により形成された薄膜SOI構造のMOSFETは、ホットキャリアに起因する素子性能の劣化により長期信頼性の保証が困難であるという問題を抱えている。

【0009】 上記ホットキャリア劣化の代表的なものは、ドレインアバランシェホットキャリアで、このホットキャリア(hc)は、各部を図4と同符号で表した図5に示すように、符号Aで示したドレイン領域58近傍のゲート絶縁膜55中またはゲート絶縁膜55と薄膜SOI層(薄膜半導体層)51Bの界面で閾値変動、チャネル電流の減少等に結びつくホットキャリア劣化を引き起こすが、薄膜SOI層51Bの膜厚が1000Å以下程度に薄くなってくると、ホットキャリア(hc)の注入が、符号Bで示すように、ドレイン領域58近傍の下地絶縁膜52中或いは下地絶縁膜52と薄膜SOI層51Bの界面に対して発生し、ここでもホットキャリア劣化が起こる。

【0010】 その際、Aの位置は直上にゲート電極56があってホットキャリア(hc)と逆の電位が与えられるので上記劣化の影響は出にくい、Bの位置のホットキャリア(hc)は、直下が下地絶縁膜52を介して定電圧の半導体支持基板51Aになっていて制御電極がないためにチャネル電流に対して顕著な影響を及ぼし、チャネル電流の減少を招く。(P.H.Woerlee et.al, Tech.Dig. IEDM 1988)

【0 0 1 1】

【0 0 1 2】

【0013】ホットキャリア注入による性能劣化を防止するためには、絶縁膜と半導体との界面へ弗素を導入することが効果的であるとの指摘がある。(P. J. WRIGHT et al., IEEE Trans. ED, vol 36, No. 5 (1989)参照) またその反面、弗素が半導体中に導入された際には、その弗素が、ソース、ドレイン等の不純物拡散に影響を及ぼして異常拡散を起こさせたり、またチャネル領域内にキャリアの散乱中心を形成したりして、素子性能の劣化を招くという問題があり、上記絶縁膜と半導体との界面への弗素の導入を半導体の側から直接にイオン注入法で行うことは困難である。

状半導体基体の下地絶縁膜側ドレイン近傍領域に発生するトラップを補償し、ドレインアバランシエホットキャリアを上記トラップが捕獲して、固定電荷が形成されるのを抑制する。

【0015】また前記のように弗素のイオン注入が下地絶縁膜2内になされ薄膜状半導体基体内にはなされない
ので、ソース、ドレイン領域の異常拡散や、チャネル領域内へのキャリア散乱中心の形成等も生ずることがない。

10 【0016】従って本発明によれば、高速性能を有し、且つホットキャリアに起因するチャネル電流の低下が大幅に緩和されて長期信頼性の確保された薄膜SOI構造のMOSFETが提供される。

{0 0 1 7}

【実施例】以下本発明を、図を参照し実施例により具体的に説明する。図2は本発明の方法の一実施例の工程断面図、図3は本発明の方法の他の実施例の工程断面図である。全図を通じ同一対象物は同一符号で示す。

【0018】图2(a) 参照

20 薄膜SOI構造のMOSFETを形成するに際しての本発明に係る一方法においては、先ずMOSFETを形成しようとする単結晶シリコン(Si)基板111を、例えば1000℃の塩酸雰囲気中で熱酸化して、その表面に例えば厚さ1000Å程度の第1の酸化シリコン(SiO₂)膜12を形成する。

【0019】圖2(b) 参照

次いで、例えば加速エネルギー：50keV、ドーズ量：1
 $\times 10^{13} \text{ cm}^{-2}$ 程度の条件で上記單結晶Si基板111の一面側
 の第1のSiO₂膜12中に弗素イオン(F⁻)を注入し、その
 領域の第1のSiO₂膜12中に弗素導電層13を形成する。な
 おこの際の注入条件はSi基板111面へのF⁻の注入が極小
 になる条件に選ばれる。また弗素のイオン注入は、BF₃
 -を用いて行ってもよい。

【0020】次いで、この基板に対しアルゴン(Ar)雰囲気中で900℃、30分程度のアニール処理を施し、導入希素を上記Si基板111の一面側の第1のSiO₂膜12中に均一に分布させる。なお、このアニール処理はここで行わず、後に行われるMOSプロセスの熱処理で兼ねても差支えない。

40 【0021】图2(c) 参照

次いでこのSi基板111を裏返し、別に用意した例えばSiからなる支持基板14上前記弗素導入層13を有する第1のSiO₂膜12を介して貼り合わせる。なおこの貼り合わせは、Si支持基板14上に前記弗素導入領域13を有する第1のSiO₂膜12を介して単結晶Si基板111を重ね合わせ、例えば850℃加熱下で300V程度のパルス電圧を印加することにより行われる。

【0022】次いで、上記単結晶Si基板111を非貼着面（前記貼り合わせのなされていない面）側から、ラッピングを行って厚さ5 μ m程度まで薄膜化し、更にコロイ

ダルシリカを用いるポリッシングを行って例えば $0.1\mu\text{m}$ 程度の厚さまで薄膜化し、Si支持基板14上に、弗素導入層13を有する第1のSiO₂膜12を介し、前記単結晶Si基板111からなり例えば厚さ $0.1\mu\text{m}$ 程度の薄膜状Si基板(薄膜SOI層)11が貼着されたSOI基板が形成される。

【0023】図2(d)参照

以後、上記SOI基板を用い、従来通り、例えば選択酸化法により薄膜状Si基板11の底面に達する素子間分離用のフィールド酸化膜15を形成した後、素子領域に表出する薄膜Si基板11上に例えば熱酸化によりゲート酸化膜16を形成し、気相成長、パターニングの工程を経て前記ゲート酸化膜16上に例えばポリシリコンからなるゲート電極17を形成し、次いで前記ゲート電極17をマスクにしイオン注入法によって薄膜状Si基板11内に、前記ゲート電極17に自己整合し、且つ底面が薄膜状Si基板11の底面に達するソース領域18及びドレイン領域19を形成して、本発明に係る薄膜SOI構造のMOSFETが完成する。

【0024】図3(a)参照

また、薄膜SOI構造のMOSFETを形成するに際しての本発明に係る他の方法においては、前記方法の実施例同様の方法により、MOSFETを形成しようとする単結晶Si基板111面に、例えば厚さ1000Å程度の第1のSiO₂膜12を形成し、次いで、Si基板111の一面側の第1のSiO₂膜12中に弗素イオン(F⁻)を注入し、その領域の第1のSiO₂膜12中に弗素導入層13を形成する。上記イオン注入条件及びその選び方、イオン注入後のアニールについては、前記実施例と同様である。

【0025】図3(b)参照

次いで上記単結晶Si基板111を裏返し、前記第1のSiO₂膜12の弗素導入層13を有する面を介し、別に用意した表面に例えば熱酸化による厚さ5000Å程度の第2のSiO₂膜20を有するSi支持基板14の第2のSiO₂膜20上に貼着する。この貼着は、例えば前記実施例と同様の方法で行われる。

【0026】次いで前記実施例同様、ラッピング法及びポリッシング法により、上記単結晶Si基板111を非貼着面側から薄膜化し、Si支持基板14上に、厚い第2のSiO₂膜20及び弗素導入層13を有する第1のSiO₂膜12を介し、前記単結晶Si基板111からなり例えば $0.1\mu\text{m}$ 程度の厚さの薄膜状Si基板(薄膜SOI層)11が貼着されたSOI基板が形成される。なおこの方法で形成された薄膜SOI基板は、前記実施例による薄膜SOI基板に比べ、薄膜Si基板11と支持基板14間の電位差によるドレイン破壊電圧を高め、且つ寄生容量を減少させることができる。

【0027】図3(c)参照

以後、上記SOI基板を用い、前記実施例同様、薄膜状Si基板11にその底面に達する素子間分離用のフィールド酸化膜15を形成した後、通常のMOSプロセスにより、

素子領域に表出する薄膜Si基板11上にゲート酸化膜16を形成し、ゲート酸化膜16上にゲート電極17を形成し、次いでゲート電極17をマスクにしイオン注入により薄膜状Si基板11内に、ゲート電極17に自己整合し、且つ底面が薄膜状Si基板11の底面に達するソース領域18及びドレイン領域19を形成して、本発明に係る薄膜SOI構造のMOSFETが完成する。

【0028】以上の実施例に示すように本発明の方法により形成される薄膜SOI基板においては、薄膜SOI基板を薄膜状半導体基体が下敷き絶縁膜を介して支持基板上に貼着された構造となし、ホットキャリア劣化を防止する機能を有する弗素を、下敷き絶縁膜内の薄膜状半導体基体に接する領域にイオン注入することによって、この下敷き絶縁膜の薄膜状半導体基体近傍領域と薄膜状半導体基体の界面に弗素の導入を行い、この導入弗素によって上記薄膜状半導体基体に形成されるMOSFETの下地絶縁膜側ドレイン近傍領域にドレインアバランシニホットキャリアによって蓄積される電荷の中和が行われる。従って、薄膜状半導体基体近傍の下地絶縁膜内或いは薄膜状半導体基体と下地絶縁膜の界面にホットキャリアによる電荷が蓄積するのが抑止され、このホットキャリア電荷の蓄積によるチャネル電流の経時的劣化が防止されるので、薄膜SOI構造MOSFETの長期信頼性が確保される。

【0029】また本発明の方法においては、前記薄膜状半導体基体近傍の下地絶縁膜内或いは薄膜状半導体基体と下地絶縁膜の界面への弗素の導入が薄膜状半導体基体の内部を通して行われないので、薄膜状半導体基体の内部に弗素が導入されることがなく、従って薄膜状半導体基体内での異常拡散やキャリア散乱中心の形成がなくなり、素子の高速性能も確保される。

【0030】

【発明の効果】以上説明のように本発明によれば、薄膜SOI構造のMOSFETの高速性能及び長期信頼性を確保することができる。従って本発明は、半導体高集積回路の高速性及び長期信頼性向上に寄与するところが大い。

【図面の簡単な説明】

【図1】 本発明の原理説明用模式断面図

【図2】 本発明の方法の一実施例の工程断面図

【図3】 本発明の方法の他の実施例の工程断面図

【図4】 従来技術による薄膜SOI構造MOSFETの模式断面図

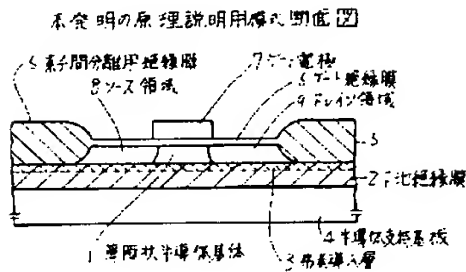
【図5】 従来技術の問題点を示す模式断面図

【符号の説明】

- 1 薄膜状半導体基体
- 2 下地絶縁膜
- 3、13 弗素導入層
- 4 半導体支持基板
- 5 素子間分離用絶縁膜

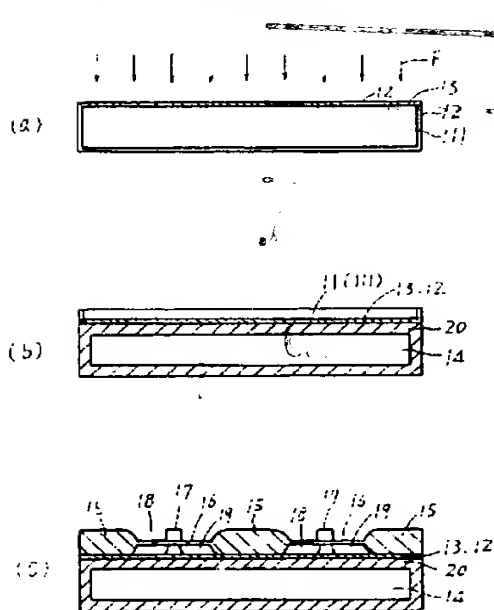
- 6 ゲート絶縁膜
7、17 ゲート電極
8、18 ソース領域
9、19 ドレイン領域
11 薄膜状半導体基体（薄膜SOI層）
12 第1のSiO₂膜

【図1】



【図3】

本発明の方法の他の実施例の工程断面図



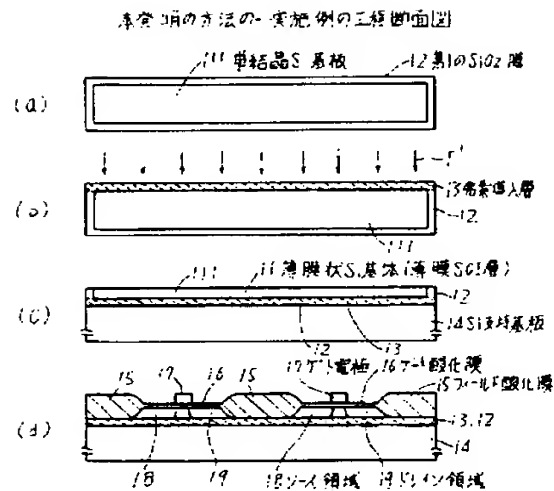
(5)

特開平5-47726

8

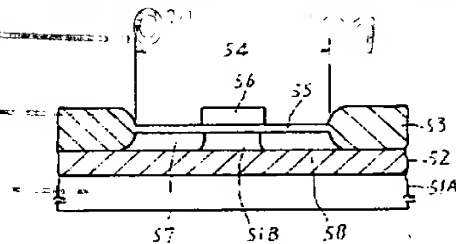
- 11 Si支持基板
15 フィールド酸化膜
16 ゲート酸化膜
20 第2のSiO₂膜
111 単結晶Si基板

【図2】



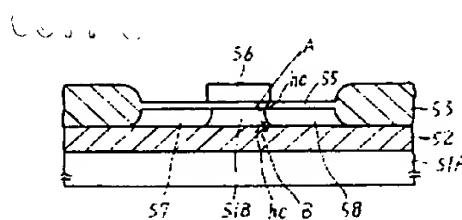
【図4】

従来技術による薄膜SOI構造MOSFETの模式断面図



【図5】

従来技術の問題点を示す模式断面図



DOCKET NO. GR 98P 8041

SERIAL NO. 09/313,424

APPLICANT: _____

LEF AND GREENBERG, P.A.

F 2400

F 100, FLORIDA 33020

TEL. (304) 925-1100